FDC 4
Floppy-Disk-Controller

ehring - elektroni

Albrechtstraße 34 · 4100 Duisburg 12 · Tel. (02 03) 42 00 85 · Telex 8 55

EHRING ELEKTRONIK

ALBRECHTSTRASSE 34

4100 DUISBURG 12

West Germany

Datum 28.08.1983

Für Schäden oder Folgeschäden, die aus der Benutzung oder bei der Benutzung dieses Gerätes direkt oder indirekt entstehen oder damit in Verbindung stehen, kann keine Haftung übernommen werden.

Copyright 1983 by EHRING ELEKTRONIK

Alle Rechte vorbehalten. Nachdruck und Kopie, auch auszugsweise, nur mit schriftlichem Einverständnis des Autors.

1.1 Einführung :

Diese Erweiterungskarte ermöglicht den Betrieb verschiedener Minifloppy- Laufwerke mit Shugart Busanschluß an Apple- und ähnlichen Rechnern, ohne die Kompatibilität zum Standard- Apple Diskettenformat aufzugeben. Es können maximal zwei Laufwerke verschiedener Bauart, auch gemischt, angeschlossen werden. Weiterhin wird hiermit eine Kapazitätserhöhung des einzelnen ansprechbaren Laufwerks auf das bis zu 4,6fache möglich. Dies bedeutet eine wesentlich komfortablere Benutzung des Rechnersystems unter diskettenintensiven Betriebsystemen wie zum Beispiel PASCAL. Ebenfalls wird hiermit die Lösung größerer Datenbankprobleme auf Diskette erst möglich, die bis jetzt noch den Einsatz einer Festplatte erforderten. Auch der Einsatz als Backup für eine Festplatte ist möglich.

1.2 Einbau :

Das Einstecken der Karte darf nur bei ausgeschaltetem Rechner erfolgen, da sonst sowohl der Rechner als auch alle Steckkarten beschädigt werden können !!

Zunächst müssen die Dilschalter 1 und 2 entsprechend der angeschlossenen Laufwerke geschaltet werden.

Laufwerk 1 :	DISK II	---	Schalter 1 'OFF'
:	andere MFD	---	Schalter 1 'ON'
Laufwerk 2 :	DISK II	---	Schalter 2 'OFF'
:	andere MFD	---	Schalter 2 'ON'

Ist ein Dilschalter eingeschaltet, so darf an der entsprechenden 20pin Steckleiste keine DISK II angesclossen werden, sonst können Schäden an dieser und am FDC 4 entstehen !

Wenn die Dilschalter richtig eingestellt sind, kann das Datenkabel für die Laufwerke aufgesteckt werden. Es muß so angeschlossen werden, daß Pin 1 der Steckleiste des FDC 4 mit Pin 1 der Steckleiste der Laufwerke verbunden ist. Ebenso kann nun die Stromversorgung der Laufwerke angeschlossen werden. Hier muß besonders auf die richtige Polung geachtet werden, Fehler führen zur sofortigen Zerstörung der Laufwerke. Sollte dagegen das Datenkabel falsch herum aufgesteckt sein, so ist dies daran zu erkennen, daß die Laufwerke später beim (!) Drücken der RESET-Taste des Rechners weiterlaufen. Es kann aber hier kein Schaden entstehen.
Werden an den Shugart- Busanschluß zwei Laufwerke angeschlossen,

so muß von einem das Pullup- Array entfernt werden (Herstellerhinweise der Laufwerke beachten). Zur korrekten Terminierung des Datenkabels muß sich auf genau einem Laufwerk dieses Array befinden. Sind auf beiden Laufwerken die Arrays eingebaut, so ist nach einigiger Betriebszeit mit Schäden am FDC 4 zu rechnen.

1.3 Bedienung :

Beim Kaltstart eines Apple- Rechners mit Autostart- Monitor genügt es, den Rechner einzuschalten und eine Master- Disk in Laufwerk 1 einzulegen. Der weitere Bootvorgang geschieht automatisch, falls die der Laufwerkskonfiguration entsprechende Diskette eingelegt wurde. Gebootet werden können alle Disketten, deren Aufzeichnungsstandard dem DOS 3.3 bzw. dem LANGUAGE- System entspricht, wenn sie mit der gleichen Spurdichte beschrieben worden sind, wie es das Bootlaufwerk besitzt. Eine Ausnahme stellt hier das modifizierte DOS dar, dieses kann auch mit 80 Track Laufwerken von einer 40 Track Diskette gebootet werden. DOS 3.2 Disketten können ebenfalls verarbeitet werden, müssen aber über die BASICS- Diskette vorgebootet werden.

Achtung : Mit dem Dilschalter 4 wird festgelegt, ob die Laufwerke doppelseitig oder einseitig betrieben werden. Doppelseitiger Betrieb und 80 Track Betrieb sind nur mit angepaßten Betriebssystemen und entsprechenden Laufwerken möglich !

Einseitiger Betrieb : Dilschalter 4 auf 'OFF'
Doppelseitiger Betrieb : Dilschalter 4 auf 'ON'

1.4 Spezielle Hinweise :

Der FDC4 muß, wenn er als Bootdevice benutzt werden soll, in Slot 6 eingesetzt werden. Weitere FDC 4 können in allen anderen Slots installiert werden. Jedoch kann die Karte nur in Slot 4, 5 und 6 in Verbindung mit unserer Patch 16X Betriebsystemanpassung für doppelseitige Laufwerke benutzt werden.

2.1 Kompatibilität :

Aufgrund der heute zur Verfügung stehenden modernen Laufwerke wurde besonderer Wert darauf gelegt, annähernd alle gängigen 5 1/4" Laufwerke mit diesem Controller betreiben zu können und vor allen Dingen den verfügbaren Speicherplatz auf einer Diskette zu erweitern. Es sollte aber dennoch die Kompatibilität zur 35 Track Diskette nicht verlorengehen, auf de ja alle bestehende Software vertrieben wird. Das heißt, es sollte auch möglich sein, mit einem 80 Track Laufwerk eine 35 Track Diskette zu lesen und zu formatieren bzw. zu schreiben, um auch den Benutzern von 80 Track

Laufwerken den Datenaustausch mit Benutzern der kleinen Laufwerke (35 u. 40 Track) zu ermöglichen.

Austauschbarkeit von Disketten zwischen Laufwerken unterschiedlicher Kapazität :

Diskette	Laufwerk					
	1x35	1x40	1x80	2x35	2x40	2x80
1x35	voll	voll	m.U.	voll	voll	m.U.
1x40	m.E1	voll	m.U.	m.E1	voll	m.U.
1x80	nein	nein	voll	nein	nein	voll
2x35	m.E2	m.E2	m.U,E2	voll	voll	voll
2x40	m.E1,2	m.E2	m.U,E2	m.E1	voll	m.U.
2x80	nein	nein	m.E2	nein	nein	voll

Erklärung : m.E1 mit Einschränkungen, lauffähig wenn Diskette weniger als 50 - 60 % benutzt

m.E2 mit Einschränkungen, lauffähig wenn Rückseite nicht benutzt

m.U mit Einschränkungen, lauffähig wenn Hardware-double step möglich

2.2 Diskettenformat :

Tracks pro Disk	35, 40, 80, 2x35, 2x40, 2x80
Sektoren pro Track	16 (13 möglich, DOS 3.2) -
Bytes pro Sektor	256

Speicherplatz pro Diskette

Tracks	1x35	1x40	1x80	2x35	2x40	2x80
Sektoren	560	640	1280	1120	1280	2560
brutto	143 k	163 k	327 k	286 k	327 k	654 k
netto	127 k	147 k	311 k	262 k	303 k	630 k

2.3 Adressbelegung :

C080	Phaseoff	Stepper motor phase 0 off
C081	Phaseon	Stepper motor phase 0 on
C082	Phase1off	Stepper motor phase 1 off
C083	Phase1on	Stepper motor phase 1 on
C084	Phase2off	Stepper motor phase 2 off
C085	Phase2on	Stepper motor phase 2 on
C086	Phase3off	Stepper motor phase 3 off
C087	Phase3on	Stepper motor phase 3 on
C088	Motoroff	switch drive motor off
C089	Motoron	switch drive motor on
C08A	DRV0EN	enable drive 1
C08B	DRV1EN	enable drive 2
C08C	Q6L	strobe data latch
C08D	Q6H	load data latch
C08E	Q7L	prepare for input
C08F	Q7H	prepare for output
C600	Boot0	bootrom
	Side	switch side select

2.4 Auswahl Diskettenseite :

C089 : Motor an ; Unterseite aktiv (D3 und D4)
C600 : umschalten auf Oberseite (D1 und D2, Slot 6)

2.5 Beispiel für Seitenumschaltung im RWTS :

```
RWTSENTRY       STY  IOBPL          ;save IOB pointer
                STA  IOBPH
                LDY  #02           ;set up 2 recals and 4 seeks
                STY  RECALCNT
                LDY  #04
                STY  SEEKCNT
                LDY  #01
                LDA  (IOBPL),Y     ;get slot # from IOB
                SEI                ;disable interrupts
                LDY  #0F
                STA  (IOBPL),Y     ;update current slot #
                TAX
                LDA  MOTORON       ;switch drive motor on
                LDY  #02
                LDA  (IOBPL),Y     ;get drive #
                TAY
                CPY  #03           ;if D=3 or D=4 then
                BCS  LOWER         ;dont switch to upper side !
                LDY  C400          ;switch slot 4 to upper side
                LDY  C500          ;switch slot 5 to upper side
                LDY  C600          ;switch slot 6 to upper side
LOWER           LDA  Q7L,X         ;go on, do normal operation
                LDA  Q6L,X
                ...
                ...
```

3 Steckerbelegung :

3.1 DISK II Anschluß :

GND	1	2	Phase 0
GND	3	4	Phase 1
GND	5	6	Phase 2
GND	7	8	Phase 3
-12 V	9	10	$\overline{\text{WrReq}}$
+ 5 V	11	12	+ 5 V
12 V	13	14	$\overline{\text{Enable}}$
12 V	15	16	$\overline{\text{RdData}}$
12 V	17	18	$\overline{\text{WrData}}$
12 V	19	20	$\overline{\text{Wrprot}}$

3.2 Anschluß Shugart-Bus

GND	1	2	NC
"	3	4	NC ($\overline{\text{PwrFail}}$)
"	5	6	NC
"	7	8	NC
"	9	10	$\overline{\text{Select 1}}$
"	11	12	$\overline{\text{Select 2}}$
"	13	14	NC
"	15	16	$\overline{\text{Motor on}}$
"	17	18	$\overline{\text{Direction}}$
"	19	20	$\overline{\text{Step}}$
"	21	22	$\overline{\text{WrData}}$
"	23	24	$\overline{\text{WrGate}}$
"	25	26	$\overline{\text{Track 0}}$
"	27	28	$\overline{\text{WrProt}}$
"	29	30	$\overline{\text{RdData}}$
"	31	32	Side select
"	33	34	NC

4 Interface Signalbeschreibung :

4.1 DISK II Anschluß :

Alle Interface- Signale sind TTL- kompatibel. Da keine Leitungstreiber und Terminators verwendet werden, darf das Verbindungskabel maximal 1 m lang sein.

4.1.1 Phase 0 - Phase 3

Diese Leitungen übertragen die Phasensteuersignale für den Schrittmotor der DISK II. Sie sind aktiv "high".

4.1.2 WrReq

Ein "low" Pegel auf dieser Leitung muß im Laufwerk die Schreibelektronik aktivieren.

4.1.3 Enable a, Enable b

Ein "low" Pegel auf diesen Leitungen selektiert das entsprechende Laufwerk und schaltet den Spindelmotor ein.

4.1.4 RdData

Auf dieser Leitung wird das serielle Signal vom Laufwerk empfangen. Die Breite der aktiv "low" Pulse soll 1 µs betragen.

4.1.5 WrData

Datenausgang für das serielle Signal zum Laufwerk.

4.1.6 Wrprot

Das selektierte Laufwerk muß einen "low" Pegel abgeben, wenn die Diskette mit einer Schreibschutzecke versehen ist.

4.2 Anschluß Shugart Bus :

Alle Interface Signale sind TTL- kompatibel. Sie werden mit einem 34 poligen 'twisted pair' Kabel mit einer maximalen Länge von 3 m zum MFD übertragen. Im FDC4 werden 7438 oder 7407 Leitungstreiber verwandt. Als Leitungsempfänger werden 7414 Schmitt-Trigger eingesetzt. Alle Signalleitungen müssen am Empfänger mit einer Impedanz von 150 Ohm terminiert werden. Alle Signale haben negative Logik.

4.2.1 Pwrfail

Im Betrieb "high" Pegel, bei Stromausfall des Rechners "low" Pegel.

4.2.2 Select 1, Select 2

Ein "low" Pegel selektiert das entsprechende Laufwerk.

4.2.3 Motor on

Ein "low" Pegel schaltet bei allen angeschlossenen Laufwerken die Spindelmotore an. Diese Signal entsteht aus Select1 und Select2 durch eine Oder- Verknüpfung.

4.2.4 Direction

Bei einem "low" Pegel muß das Laufwerk beim nächsten Step- Impuls den Kopf um einen Track nach innen bewegen. Bei einem "high" Pegel muß der Kopf entsprechend eine Spur nach außen (zu Spur 0 hin) bewegt werden.

4.2.5 Step

Auf dieser Leitung werden die Schrittimpulse für das Laufwerk ausgegeben. Die Breite der aktiv "low" Pulse beträgt 200 µs. Der Abstand der Pulse, wenn der Kopf über mehrere Spuren bewegt werden soll, ist abhängig von der steuernden Software.

4.2.6 WrData

Ausgabeleitung für die seriellen Schreibdaten zum Laufwerk. Die Pulsbreite der aktiv "low" Pulse beträgt 250 ns, der Pulsabstand abhängig von den aufzuzeichnenden Daten 4 µs oder 8 µs.

4.2.7 WrGate

Ein "low" Pegel auf dieser Leitung muß im Laufwerk die Schreibelektronik aktivieren.

4.2.8 Track 0

Wenn der Kopf des Laufwerks bei einer Reseek- Operation Track 0 erreicht hat, muß es auf dieser Leitung ein "low" Signal abgeben, um die Ausgabe von Schrittimpulsen abzubrechen.

4.2.9 Wrprot

Das selektierte Laufwerk muß einen "low" Pegel abgeben, wenn die Diskette mit einer Schreibschutzecke versehen ist.

4.2.10 RdData

Auf dieser Leitung wird das serielle Datensignal vom Laufwerk empfangen. Die Pulsbreite darf maximal 1,5 µs betragen.

4.2.11 Side select

Diese Leitung muß bei "low" Pegel im Laufwerk auf HEAD 1 schalten, wenn ein doppelseitiges Laufwerk benutzt wird.

5 Stückliste

Halbleiter :

1	74LS05	hex inverter OC
1	7407	hex buffer OC
1	74LS08	quad and gate
1	7414	hex schmitt-trigger
1	7438	quad nand buffer OC
1	74LS74	dual D-flipflop
1	74LS123 XXXX	dual monoflop
1	74LS125	quad buffer TS
1	74LS132	quad nand schmitt-trigger
1	74LS259	8bit addressable latch
1	74LS323	8bit bidir. shift register
1	NE 556	dual timer
1	TBP 28L22	256 x 8bit bipolar PROM
1	2716	2k x 8bit EPROM

Widerstände :

3	150	Ohm
3	1	kOhm
1	3,3	kOhm
2	4,7	kOhm
2	18	kOhm
1	47	kOhm
1	1	MOhm

Kondensatoren :

2	1	nF	5 mm Raster
1	3,3	nF	5 mm Raster
12	100	nF	5 mm Raster
1	47	µF	6,3 V Tantal

Sonstiges :

9	Dil-Fassungen	14pol
6	Dil-Fassungen	16pol
2	Dil-Fassungen	20pol
1	Dil-Fassung	24pol
1	Dil-Schalter	4pol
2	Pfostenfeldleisten	2 x 10pol
1	Pfostenfeldleiste	2 x 17pol
1	Leiterkarte	1009/582

```
                                .6502
                                ;
                                ;Page Zero references :
                                ;
0026                            LOADPTR EQU     $0026
002B                            BOOTSL  EQU     $002B
003C                            WRKBYTE EQU     $003C
003D                            SECNUM  EQU     $003D
0040                            TRKFND  EQU     $0040
0041                            TRKNUM  EQU     $0041
                                ;
                                ;Workspace references
                                ;
0100                            STACK   EQU     $0100
02D6                            TRTBL   EQU     $02D6
0300                            BUFFER  EQU     $0300
0356                            TRNTBL  EQU     $0356
0800                            BLADR   EQU     $0800
0801                            BOOT1   EQU     $0801
                                ;
                                ;Hardware references
                                ;
C080                            PHOFF   EQU     $C080
C081                            PHASEON EQU     $C081
C089                            MOTORON EQU     $C089
C08A                            DRVOEN  EQU     $C08A
C08C                            STROBIO EQU     $C08C
C08E                            PREPINP EQU     $C08E
                                ;
                                ;external routines
                                ;
FCA8                            WAIT    EQU     $FCA8
FF58                            IORTS   EQU     $FF58
                                ;
                                        ORG     $C600
C600    A2 20                   BOOT0:  LDX     #$20    ;DISKID Bytes
C602    A0 00                           LDY     #$00
C604    A2 03                           LDX     #$03
                                ;
                                ;Build a temporary  read translate table
                                ;
C606    86 3C                   LOOP1:  STX     WRKBYTE
C608    8A                              TXA
C609    0A                              ASL
C60A    24 3C                           BIT     WRKBYTE
C60C    F0 10                           BEQ     LOOP3
C60E    05 3C                           ORA     WRKBYTE
C610    49 FF                           EOR     #$FF
C612    29 7E                           AND     #$7E
C614    B0 08                   LOOP2:  BCS     LOOP3
C616    4A                              LSR
C617    D0 FB                           BNE     LOOP2
```

```
C619  98                    TYA
C61A  9D 0356               STA     TRNTBL,X
C61D  C8                    INY
C61E  E8              LOOP3: INX
C61F  10 E5                 BPL     LOOP1
                      ;
                      ;get number of bootslot and save it
                      ;
C621  20 FF58               JSR     IORTS
C624  BA                    TSX
C625  BD 0100               LDA     STACK,X
C628  0A                    ASL
C629  0A                    ASL
C62A  0A                    ASL
C62B  0A                    ASL
C62C  85 2B                 STA     BOOTSL
C62E  AA                    TAX
                      ;
                      ;prepare Controller's hardware for read
                      ;
C62F  BD C08E               LDA     PREPINP,X
C632  BD C08A               LDA     DRVOEN,X
C635  BD C089               LDA     MOTORON,X
                      ;
                      ;pull  arm back over 160 halftracks
                      ;
C638  A0 C0                 LDY     #$C0
C63A  BD C080         RESEEK: LDA   PHOFF,X
C63D  98                    TYA
C63E  29 03                 AND     #$03
C640  0A                    ASL
C641  05 2B                 ORA     BOOTSL
C643  AA                    TAX
C644  BD C081               LDA     PHASEON,X
C647  A9 56                 LDA     #$56
C649  20 FCA8               JSR     WAIT    ;arm move delay
C64C  88                    DEY
C64D  C0 FF                 CPY     #$FF
C64F  D0 E9                 BNE     RESEEK
C651  EA                    NOP
                      ;
                      ;initialize pointers for read operation
                      ;
C652  85 26                 STA     LOADPTR
C654  85 3D                 STA     SECNUM
C656  85 41                 STA     TRKNUM
C658  A9 08                 LDA     #$08
C65A  85 27                 STA     LOADPTR+1
                      ;
                      ;read track  0/sector 0 to buffer
                      ;
C65C  18              READS:  CLC
```

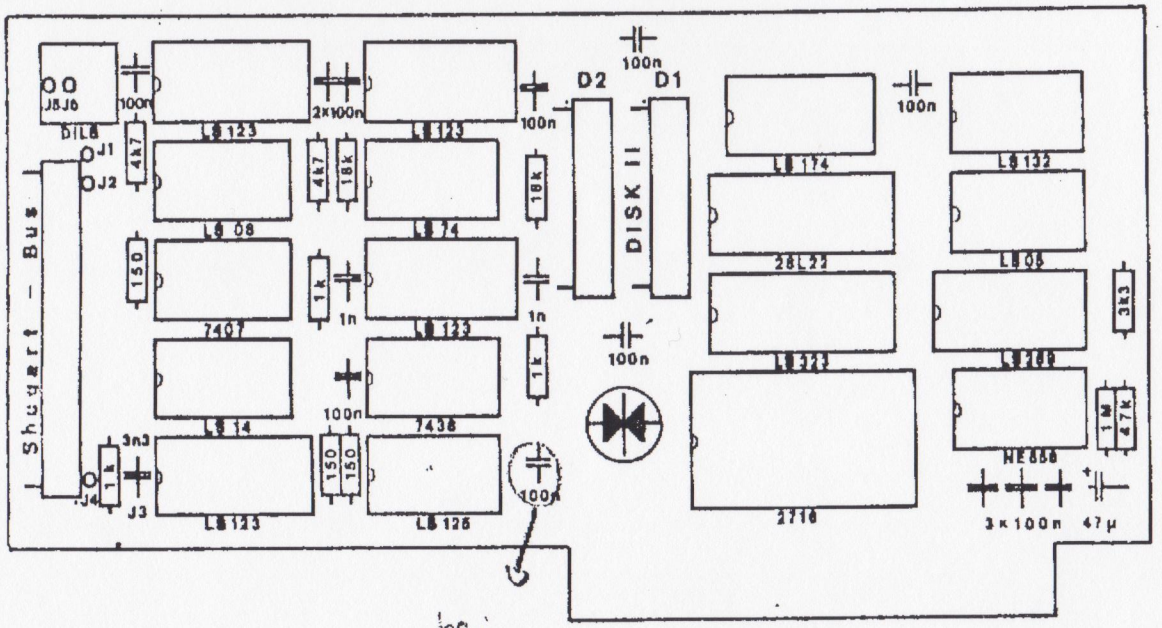
```
C65D  08          RADR:  PHP
C65E  BD C08C     R.D5:  LDA     STROBIO,X
C661  10 FB              BPL     R.D5
C663  49 D5       R1:    EOR     #$D5
C665  D0 F7              BNE     R.D5
C667  BD C08C     R.AA:  LDA     STROBIO,X
C66A  10 FB              BPL     R.AA
C66C  C9 AA              CMP     #$AA
C66E  D0 F3              BNE     R1
C670  EA                 NOP
C671  BD C08C     R.96:  LDA     STROBIO,X
C674  10 FB              BPL     R.96
C676  C9 96              CMP     #$96
C678  F0 09              BEQ     RHEAD
C67A  28                 PLP
C67B  90 DF              BCC     READS
C67D  49 AD              EOR     #$AD
C67F  F0 25              BEQ     RDATA0
C681  D0 D9              BNE     READS
                         ;
                         ;read the sector header
                         ;
C683  A0 03       RHEAD: LDY     #$03
C685  85 40       NOTSEC:STA     TRKFND
C687  BD C08C     R.SEC: LDA     STROBIO,X
C68A  10 FB              BPL     R.SEC
C68C  2A                 ROL
C68D  85 3C              STA     WRKBYTE
C68F  BD C08C     R.SEC2:LDA     STROBIO,X
C692  10 FB              BPL     R.SEC2
C694  25 3C              AND     WRKBYTE
C696  88                 DEY
C697  D0 EC              BNE     NOTSEC
C699  28                 PLP
C69A  C5 3D              CMP     SECNUM
C69C  D0 BE              BNE     READS
C69E  A5 40              LDA     TRKFND
C6A0  C5 41              CMP     TRKNUM
C6A2  D0 B8              BNE     READS
C6A4  B0 B7              BCS     RADR
                         ;
                         ;read the data field into  buffer
                         ;
C6A6  A0 56       RDATA0:LDY     #$56
C6A8  84 3C       RDATA1:STY     WRKBYTE
C6AA  BC C08C     RD1:   LDY     STROBIO,X
C6AD  10 FB              BPL     RD1
C6AF  59 02D6            EOR     TRTBL,Y
C6B2  A4 3C              LDY     WRKBYTE
C6B4  88                 DEY
C6B5  99 0300            STA     BUFFER,Y
C6B8  D0 EE              BNE     RDATA1
```

```
C6BA  84 3C       RDATA2: STY   WRKBYTE
C6BC  BC C08C     RD2:    LDY   STROBIO,X
C6BF  10 FB             BPL   RD2
C6C1  59 02D6           EOR   TRTBL,Y
C6C4  A4 3C             LDY   WRKBYTE
C6C6  91 26             STA   (LOADPTR),Y
C6C8  C8                INY
C6C9  D0 EF             BNE   RDATA2
C6CB  BC C08C     RD3:    LDY   STROBIO,X
C6CE  10 FB             BPL   RD3
C6D0  59 02D6           EOR   TRTBL,Y
C6D3  D0 87       MORE:   BNE   READS
C6D5  A0 00             LDY   #$00
C6D7  A2 56       DNIB1:  LDX   #$56
C6D9  CA          DNIB2:  DEX
C6DA  30 FB             BMI   DNIB1
C6DC  B1 26             LDA   (LOADPTR),Y
C6DE  5E 0300           LSR   BUFFER,X
C6E1  2A                ROL
C6E2  5E 0300           LSR   BUFFER,X
C6E5  2A                ROL
C6E6  91 26             STA   (LOADPTR),Y
C6E8  C8                INY
C6E9  D0 EE             BNE   DNIB2
C6EB  E6 27             INC   LOADPTR+1
C6ED  E6 3D             INC   SECNUM
C6EF  A5 3D             LDA   SECNUM
C6F1  CD 0800           CMP   BLADR
C6F4  A6 2B             LDX   BOOTSL
C6F6  90 DB             BCC   MORE
C6F8  4C 0801           JMP   BOOT1
                        END
```

Symbols:

```
0800  BLADR     C600  BOOT0     0801  BOOT1
002B  BOOTSL    0300  BUFFER    C6D7  DNIB1
C6D9  DNIB2     C08A  DRVOEN    FF58  IORTS
0026  LOADPTR   C606  LOOP1     C614  LOOP2
C61E  LOOP3     C6D3  MORE      C089  MOTORON
C685  NOTSEC    C081  PHASEON   C080  PHOFF
C08E  PREPINP   C671  R.96      C667  R.AA
C65E  R.D5      C687  R.SEC     C68F  R.SEC2
C663  R1        C65D  RADR      C6AA  RD1
C6BC  RD2       C6CB  RD3       C6A6  RDATA0
C6A8  RDATA1    C6BA  RDATA2    C65C  READS
C63A  RESEEK    C683  RHEAD     003D  SECNUM
0100  STACK     C08C  STROBIO   0040  TRKFND
0041  TRKNUM    0356  TRNTBL    02D6  TRTBL
FCA8  WAIT      003C  WRKBYTE
```

No Fatal error(s)



bei Tandon Nachbau

	Shugart-Bus single sided	Shugart-Bus double sided
J 1	x	o
J 2	o	x
J 3	o	x

	Shugart-Bus Pin 4 n.c.	Pin 4 $\overline{\text{PWR Fail}}$
J 4	o	x

Brücke geschlossen: x , offen: o

	Datum :	Name :	Ehring Elektronik	Blatt
gez. :	27.05.83	R.E.	4100 Duisburg 12, Albrechtstr. 34	
M 1 : 1			Floppy Disk Controller FDC 4 Bestückungsplan	

10553

Stückliste Floppy Controller

Halbleiter

1	2716 Eprom FDC
1	TBP 28L22 FDC
1	74 LS 05
1	7407
1	74 LS 08
1	74 LS 14
1	7438
1	74 LS 74
4	74 LS123
1	74 LS125
1	74 LS132
1	74 LS174
1	74 LS259
1	74 LS323
1	NE 556

Widerstände

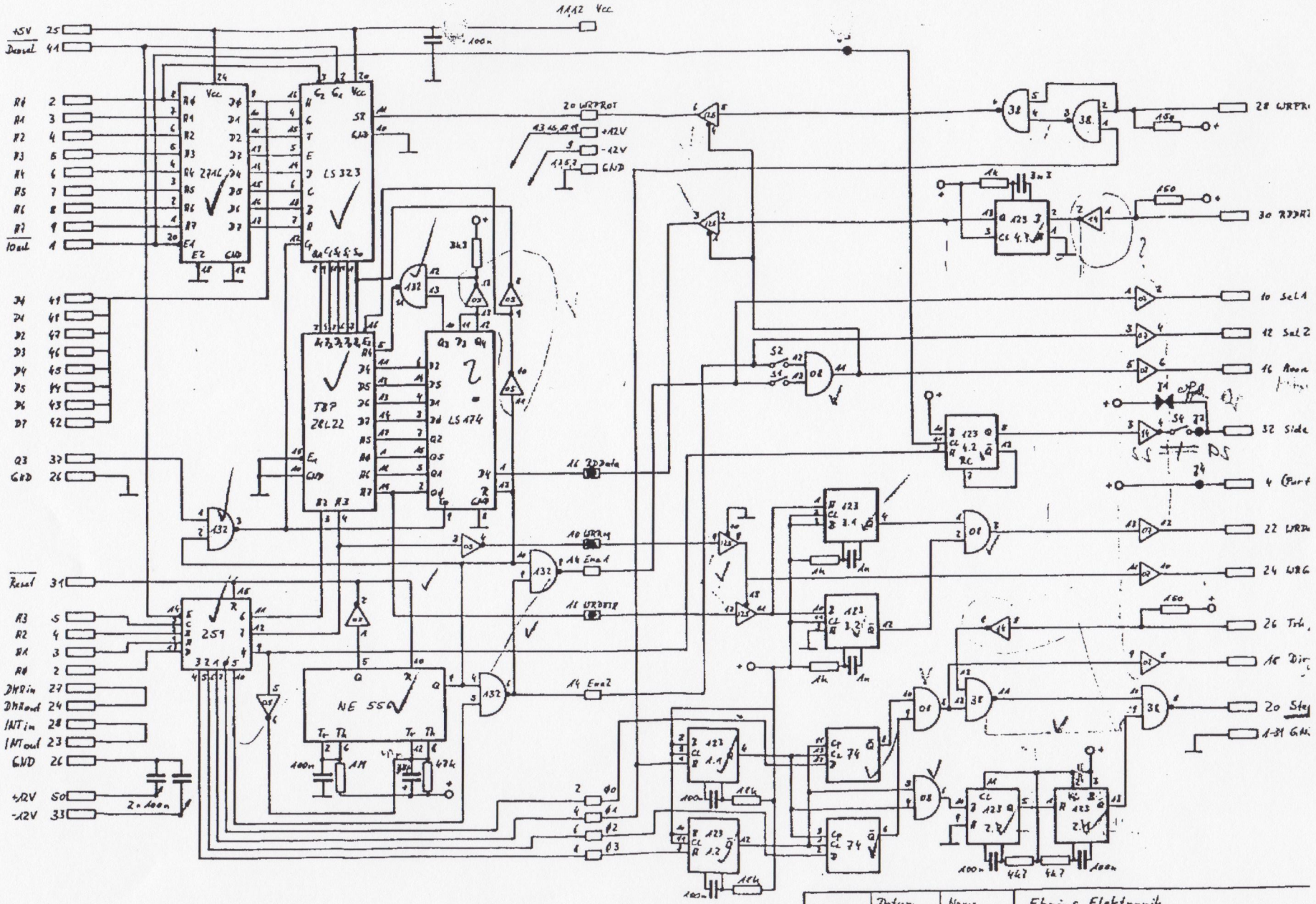
3	150 Ohm
3	1k
1	3k3
2	4k7
2	18k
1	47k
1	1M

Kondensatoren

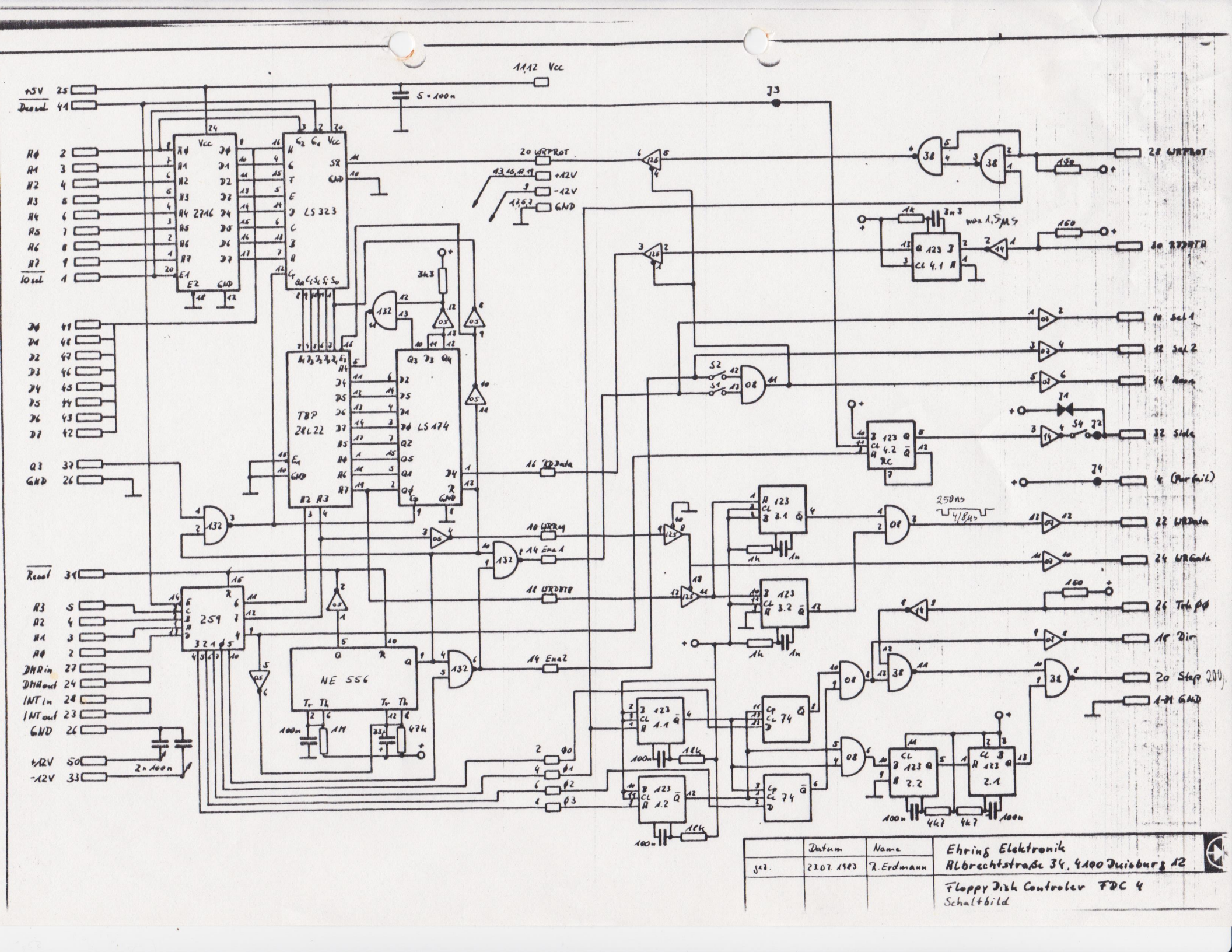
2	1 nF Keramik 5mm Raster
1	3n3 Keramik 5mm Raster
12	100 nF 5mm Raster
1	Tantalelko 47uF / 6.3 V

Sonstiges

1	Pfostenfeldstifte 34pol
2	Pfostenfeldstifte 20pol
1	Dilschalter 4pol
1	Fassung 24pol
2	Fassungen 20pol
6	Fassungen 16pol
9	Fassungen 14pol
1	Platine 0582/1009



	Datum	Name	Ehring Elektronik
ges.	22.07.1983	R. Erdmann	Albrechtstraße 34, 4100 Duisburg 12
			Floppy Disk Controler FDC 4
			Schaltbild



	Datum	Name	Ehring Elektronik
ges.	22.07.1983	R. Erdmann	Albrechtstraße 34, 4100 Duisburg 12
			Floppy Disk Controler FDC 4
			Schaltbild